



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11231923 A**

(43) Date of publication of application: 27 . 08 . 99

(51) Int. Cl

**G05B 19/414**(21) Application number: **10048544**

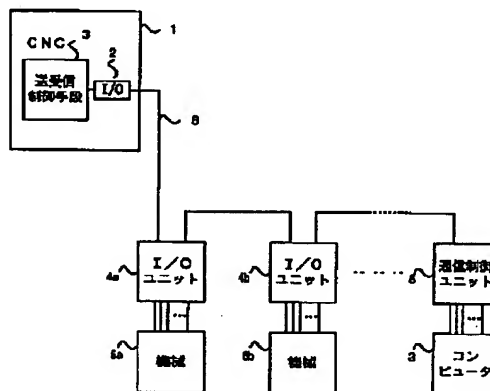
(22) Date of filing: 16 . 02 . 98

(71) Applicant: **FANUC LTD**(72) Inventor: **KINOSHITA JIRO  
KUMAKURA TATSURO**(54) **NUMERICAL CONTROLLER**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To compact a numerical controller by reducing the number of signal lines (cables) to be connected to the numerical controller.

**SOLUTION:** In the numerical controller 1 for transmitting/receiving data to/from plural external devices such as machines (6a, 6b) and a computer 3, transmitting/receiving units 4 (4a, 4b), 5 are cascade-connected to one signal line 8, which is connected to a serial data transmission/reception control means 2 built in the controller 1. Since plural external devices including the 1st external devices 4 for outputting data in each bit to the means 2 and the 2nd external device 5 for outputting data in each byte to the means 2 are cascade-connected and the input of data outputted from the 1st and 2nd external devices 4, 5 is controlled so as not to generate mutual interference among respective data, data of respectively different data formats can be transmitted/received through the common signal line 8, so that the number of signal lines (cables) can be reduced and the numerical controller 1 can be compacted.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-231923

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.<sup>6</sup>

G 0 5 B 19/414

識別記号

F I

G 0 5 B 19/18

R

Q

審査請求 未請求 請求項の数5 F D (全 9 頁)

(21)出願番号 特願平10-48544

(22)出願日 平成10年(1998) 2月16日

(71)出願人 390008235

ファナック株式会社

山梨県南都留郡忍野村忍草字古馬場3580番地

(72)発明者 木下 次朗

山梨県南都留郡忍野村忍草字古馬場3580番地  
ファナック株式会社内

(72)発明者 熊倉 達郎

山梨県南都留郡忍野村忍草字古馬場3580番地  
ファナック株式会社内

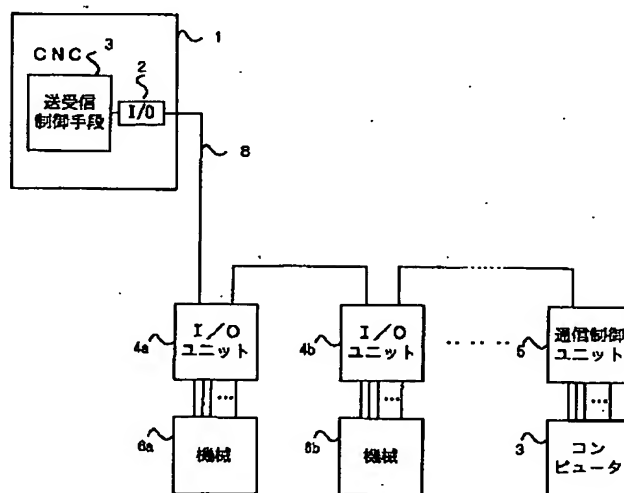
(74)代理人 弁理士 竹本 松司 (外4名)

(54)【発明の名称】 数値制御装置

(57)【要約】

【課題】 数値制御装置に接続する信号ライン（ケーブル）の本数を減少させ、数値制御装置を小型化する。

【解決手段】 機械6側やコンピュータ7等の複数の外部装置との間でデータの送受信を行う数値制御装置1であり、外部装置側の送受信ユニット4、5を1つの信号ライン8に従属接続させ、この信号ライン8を数値制御装置側に設けた1つのシリアルデータ送受信制御手段2に接続する。シリアルデータ送受信制御手段2に対して、ビット単位のデータを出力する第1の外部装置4aとバイト単位のデータを出力する第2の外部装置5とを含む複数の外部装置を従属接続し、第1、2の外部装置から出力されるデータは、これら各データ間で相互干渉が生じないように入力制御を行うことによって、共通の信号ラインによるデータ形態の異なるデータの送受信を可能とし、これによって、信号ライン（ケーブル）の本数を減少させ、数値制御装置を小型化を可能とする。



## 【特許請求の範囲】

【請求項1】 外部装置との間でシリアルデータの入出力を行うシリアルデータ送受信制御手段を備え、前記シリアルデータ送受信制御手段に対して、ビット単位のデータを出力する第1の外部装置とバイト単位のデータを出力する第2の外部装置とを含む複数の外部装置を従属接続し、前記データは、シリアルデータ送受信制御手段への入力において、データ間の相互干渉が生じないように入力制御を行う数値制御装置。

【請求項2】 複数の第1の外部装置の送受信は無送受信期間を有する互いに重複のない一定周期で行い、第2の外部装置の送受信は前記無送受信期間を用いて、前記データの入力制御を行う、請求項1記載の数値制御装置。

【請求項3】 前記第1及び第2の外部装置の送受信は、送受信許容信号の保持により許容され、該送受信許容信号を従属接続する外部装置間を順に転送させることによって前記データの入力制御を行う、請求項1記載の数値制御装置。

【請求項4】 前記第2の外部装置の送受信は、第2の外部装置の要求に応じて行う、請求項2、または3記載の数値制御装置。

【請求項5】 前記シリアルデータ送受信制御手段は、ビット単位のデータに対してエラー検出のみのエラー処理を行い、バイト単位のデータに対してエラー訂正、エラー検出に基づく再送処理、及び同一のデータを連続して送信するエラー処理のいずれかを行う、請求項1、2、3、または4記載の数値制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、数値制御装置に関し、特に機械側等の外部からの情報を入力する受信回路に関する。

## 【0002】

【従来の技術】数値制御装置やロボットコントローラにおいて、機械側やコンピュータ側等と信号ラインを介してデータの授受を行っている。

【0003】図8は従来の数値制御装置におけるデータ入力を説明するするための概略ブロック図である。数値制御装置1'に対してビット単位のデータあるいはバイト単位のデータ等の形態の異なるデータを入力する場合がある。例えば、機械6a、6b、・・・からはビット単位のデータが入力され、コンピュータ3等からはバイト単位のデータが入力される。このような形態の異なるデータを入力する場合において、数値制御装置1'側ではデータ形態に対応した信号ライン8'、8''を用意し、それぞれ対応するI/O手段2'、2''を介して送受信制御手段3に接続を行っている。また、各データ源側においても送受信用のユニットを介して信号ライン8'、8''との接続を行っている。例えば、機械6a、

6bではビット単位のデータに対応したI/Oユニット4a'、4b'・・・を介して信号ライン8'との接続を行い、コンピュータ7ではバイト単位のデータに対応した通信制御ユニット5'を介して信号ライン8''との接続を行っている。

【0004】バイト単位のデータを送信する信号ライン8''としては、例えばRS232C等の信号ラインを用いることができる。

## 【0005】

【発明が解決しようとする課題】従来の数値制御装置では、データ形態の異なる複数のデータ源との接続を、データ形態毎に異なる信号ライン及びI/O手段を用いて行っているため、数値制御装置には複数本のケーブルが接続される構成となっている。そのため、数値制御装置ではケーブルの集中が発生し、数値制御装置自体の大きさを大きくする必要が生じ、数値制御装置の小型化に支障が生じるという問題がある。

【0006】そこで、本発明は従来の数値制御装置の持つ問題点を解決し、数値制御装置に接続する信号ライン（ケーブル）の本数を減少させ、数値制御装置を小型化することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は、モータ等の駆動装置により駆動される対象物の移動を検出器で検出し、該移動量をフィードバックして、対象物の位置や移動量の制御を行う装置において、機械側やコンピュータ等の複数の外部装置との間でデータの送受信を行う数値制御装置であり、外部装置側の送受信ユニットを従属接続した1つの信号ラインを、数値制御装置側に設けた1つのシリアルデータ送受信制御手段に接続するものである。

【0008】そして、本発明の数値制御装置は、外部装置との間でシリアルデータの入出力を行うシリアルデータ送受信制御手段に対して、ビット単位のデータを出力する第1の外部装置とバイト単位のデータを出力する第2の外部装置とを含む複数の外部装置を従属接続し、第1、2の外部装置から出力されるデータは、シリアルデータ送受信制御手段への入力において、これら各データ間で相互干渉が生じないように入力制御を行うことによって、共通の信号ラインによるデータ形態の異なるデータの送受信を可能とし、これによって、信号ライン（ケーブル）の本数を減少させ、数値制御装置を小型化を可能とするものである。

【0009】また、各データ間で行う入力制御は、複数の第1の外部装置の送受信は無送受信期間を有する互いに重複のない一定周期で行い、第2の外部装置の送受信は前記無送受信期間を用いることにより行うことができ、これによって、第1の外部装置の送受信については互いに重複のない一定周期で周期的に行うことができ、また、第2の外部装置の送受信については、第1の外部

装置の送受信が行われない無送受信期間を用いて行うことができる。なお、第2の外部装置の送受信は、該無送受信期間において、第2の外部装置側に送受信するデータが存在する場合に第2の外部装置側の要求に応じて行うことができ、送受信するデータが存在しない場合には、データの送受信は行わない。

【0010】また、第1及び第2の外部装置の送受信は、フラグ等の送受信許可信号を用いて行うことができる。外部装置の送受信は、該外部装置が送受信許可信号を保持している場合に許可され、該送受信許可信号を従属接続する外部装置間を順に転送させることによって、相互干渉を起こすことなく各データの入力制御を行うことができる。

【0011】また、本発明の数値制御装置において、信号ライン（ケーブル）の本数を減少させた構成で送受信したデータのエラー処理を行うには、シリアルデータ送受信制御手段は、ビット単位のデータに対してエラー検出のみのエラー処理を行い、バイト単位のデータに対してエラー訂正、エラー検出に基づく再送処理、及び同一のデータを連続して送信するエラー処理のいずれかを行う。

【0012】ビット単位のデータに対するエラー処理は、エラー検出のみを行うものである。ビット単位のデータは、一定周期で周期的に送受信が行われているため、エラーを検出した場合であって、エラー訂正やデータの再送処理を行うことなく、次に周期で送受信されたデータを用いることができる。

【0013】ビット単位のデータは周期的に繰り返して送受信されるのに対して、バイト単位のデータは1回限り送受信されるものであるため、データを再度取得する処理を行う。このデータ取得の処理として、エラー訂正、エラー検出に基づく再送処理、及び同一のデータを連続して送信するエラー処理のいずれかを用いることができる。

【0014】エラー訂正は、シリアルデータ送受信制御手段側において、送信されたデータのエラー検出を行うとともに、エラー検出時には該エラーを訂正して正しいデータを取得するエラー処理である。また、エラー検出に基づく再送処理は、シリアルデータ送受信制御手段側において、送信されたデータのエラー検出を行うとともに、エラー検出時には送信元の外部装置側に対して再送要求を送り、外部装置側から再度データの送信を行わせて、正しいデータを取得するエラー処理である。

【0015】また、同一のデータを連続して送信するエラー処理は、外部装置側からデータを送信する際に、同一のデータを連続して送信することによって、一方のデータにエラーが検出された場合には、他方のデータによって正しいデータを取得するエラー処理である。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図を

参照しながら詳細に説明する。本発明の実施の形態の構成例について、図1は本発明の数値制御装置を適用することができる一実施例の構成を示すブロック図である。数値制御装置において、プロセッサ11は数値制御装置10を全体的に制御するプロセッサであり、バス21を介して、ROM12に格納されたシステムプログラムを読み出し、このシステムプログラムに従って、数値制御装置10を全体的に制御する。RAM13には一時的な計算データや表示データ及びCRT/MDIユニット70を介してオペレータが入力した各種データ等が格納される。CMOSメモリ14は図示しないバッテリーでバックアップされ、数値制御装置10の電源がオフされても記憶状態が保持される不揮発性メモリとして構成され、インターフェイス15を介して読み込まれた加工プログラムやCRT/MDIユニット70を介して入力された加工プログラム等が記憶されるようになっている。又、ROM12には、加工プログラムの作成及び編集のために必要とされる編集モードの処理や自動運転のための再生モードの処理を実施するための各種のシステムプログラムがあらかじめ書き込まれている。

【0017】インターフェイス15は数値制御装置10に接続可能な外部機器のためのインターフェイスであり、入出力手段や外部記憶装置等の外部機器72が接続される。入出力手段や外部記憶装置等からは加工プログラム等が読み込まれ、又、数値制御装置10内で編集された加工プログラムを入出力手段や外部記憶装置に出力することができる。

【0018】PMC（プログラマブル・マシン・コントローラ）16は、数値制御装置10内に内蔵されたシーケンスプログラムで加工機械側の補助装置、例えば、工具交換用のロボットハンドといったアクチュエータを制御する。例えば、加工プログラムで指令されたM機能、S機能、及びT機能に従って、これらシーケンスプログラムによって補助装置側に必要な信号に変換し、I/Oユニット17から補助装置側に出力される。この出力信号により各種アクチュエータ等の補助装置が作動する。又、工作機械本体や補助装置側のリミットスイッチ及び工作機械本体に配備された操作盤の各種スイッチ等の信号を受け、必要な処理の後プロセッサ11に渡す。

【0019】工作機械各軸の現在位置、アラーム、パラメータ、及び画像データ等の画像信号はCRT/MDIユニット70に送られ、そのディスプレイに表示される。CRT/MDIユニット70はディスプレイやキーボード等を備えた手動データ入力装置であり、インターフェイス18はCRT/MDIユニット70のキーボードからデータを受けてプロセッサ11に渡す。インターフェイス19は手動パルス発生器71に接続され、手動パルス発生器71からのパルスを受ける。手動パルス発生器71は工作機械本体の操作盤に実装され、手動操作に基づく分配パルスによる各軸制御で工作機械の可動部

を精密に位置決めするために使用される。

【0020】軸制御回路30〜32はプロセッサ11からの各軸の移動指令を受けて、各軸の指令をサーボアンプ40〜42に出力する。サーボアンプ40〜42はこの指令を受けて、工作機械各軸のサーボモータ50〜52を駆動する。この場合、サーボモータ50、51、52の各々はテーブル移動用の直線移動軸X、Y、Zの駆動に用いられる。又、工作機械の構成によってはサーボモータ50〜52のいずれかをロータリヘッドにおける第1の回転軸B、第2の回転軸Cの駆動に用いる場合もある。各軸のサーボモータ50〜52には位置検出用のパルスコードが内蔵されており、このパルスコードからの位置信号がパルス列としてフィードバックされる。場合によっては、位置検出器としてリニアスケールを用いることができる。又、このパルス列から速度信号を生成することができる。図1では、これらの位置信号のフィードバック及び速度フィードバックの説明は省略している。

【0021】スピンドル制御回路60は工作機械への主軸回転指令を受け、スピンドルアンプ61にスピンドル速度指令を出力する。スピンドルアンプ61はこのスピンドル速度指令を受けて、工作機械に主軸モータ62を指令された切削回転速度で回転させる。主軸モータ62には歯車あるいはベルト等でポジションコード63が接続され、該ポジションコード63が主軸の回転に同期して帰還パルスを出力し、その帰還パルスはインターフェイス20を経由してプロセッサ11によって読み取られる。

【0022】図2は、本発明の数値制御装置の概要を説明するための概略ブロック図である。図2において、数値制御装置1は、信号ライン8を接続するI/Oユニット2及び該I/Oユニット2と接続する送受信制御手段3を備える。なお、該I/Oユニット2は、図1においてI/Oユニット22で示している。また、送受信制御手段3は、図1においてCPU11及び送受信制御を行うプログラムにより構成することができる。また、ここで、I/Oユニット2及び送受信制御手段3は、シリアルデータの送受信を行う手段としている。

【0023】信号ライン8には、複数の外部装置が従属接続される。複数の外部装置を従属接続することによって、限られた個数のI/Oユニット2に多数の外部装置を接続することができる。図2では、複数の機械6a、6b、・・・及びコンピュータ7が、それぞれI/Oユニット4a、4b、・・・と通信制御ユニット5によって1本の信号ライン8に従属接続された構成を示している。信号ライン8に接続する機械6a、6b、・・・及びコンピュータ7の個数や組み合わせ、及び接続順は任意とすることができる。また、機械6a、6b、・・・はビット単位のデータを出力する外部装置を例示するものであり、また、コンピュータ7はバイト単位のデータ

を出力する外部装置を例示するものであって、他の装置とすることもできる。

【0024】なお、I/Oユニット4a、4b、・・・はビット単位のデータを機械6a、6b、・・・と信号ライン8との間で授受する入出力機構であり、通信制御ユニット5はバイト単位のデータをコンピュータ7と信号ライン8との間で授受する入出力機構である。

【0025】したがって、機械6a、6b、・・・側のパラレル信号はI/Oユニット4a、4b、・・・でビット単位のシリアル信号に変換された後、信号ライン8を介して数値制御装置1のI/Oユニット2及び送受信制御手段3に送信される。また、数値制御装置1側の制御信号は、送受信制御手段3及びI/Oユニット2から信号ライン8にのせられ、I/Oユニット4a、4b、・・・でパラレル信号に変換された後、機械6a、6b、・・・側に送られる。

【0026】同様に、コンピュータ7側のバイト信号は通信制御ユニット5を介して信号ライン8にのせられ、数値制御装置1のI/Oユニット2及び送受信制御手段3に送信される。また、数値制御装置1側の制御信号は、送受信制御手段3及びI/Oユニット2から信号ライン8にのせられ、通信制御ユニット5を介してコンピュータ7側に送られる。

【0027】図3はI/Oユニット4の構成を接続するための概略ブロック図である。図3において、I/Oユニット4は、機械側からのパラレル信号をシリアル信号に信号変換するパラレル/シリアル変換部4Cと、変換したシリアル信号にエラーコードを付加するエラーコード付加部4Bと、信号ライン8と直接に接続を行う送受信制御部4Aとを備える。

【0028】エラーコード付加部4Bは、数値制御装置1側の送受信制御手段3において、送信されたデータのエラーを検出するためのエラーコードをデータに付加する手段である。なお、エラーコードは、周知の誤り検出符号を用いることができる。

【0029】送受信制御部4Aは、信号ライン8との間において、データや制御信号の授受の制御を行う手段であり、また、隣接するI/Oユニット4や通信制御ユニット5から送信されたデータを数値制御装置1側に送信したり、数値制御装置1から送信された制御信号を隣接するI/Oユニット4に送信する中継手段としても用いられる。

【0030】次に、図4〜図7のタイムチャートを用いて本発明の数値制御装置のデータの送受信動作について説明する。なお、図4はエラー訂正を行う場合の送受信動作を示し、図5はエラー検出により再送要求を行う場合の送受信動作を示し、図6は2連送方式の場合の送受信動作を示し、図7は送受信許容信号（フラグ）を用いた送受信動作を示している。

【0031】図4において、図4(a)、(b)は、第

1、2のI/Oユニットから信号ラインに送出されるデータを示し、図4(c)は通信制御ユニットから信号ラインに送出されるデータを示し、図4(d)は数値制御装置側で受信するデータを示している。

【0032】図4(a)、(b)に示すように、外部装置側の各I/Oユニットからは、一定周期で周期的にビット単位のデータの送出を行い、このデータ送出のタイミングは、各データ間で干渉が生じないようにずれを設けている。このデータ送出のタイミングは、初期設定において、各I/Oユニット及び通信制御ユニットの送信開始のタイミングをずらして定め、その後は各ユニットでの同一周期での周期的な送信動作により行うことができる。また、I/Oユニットによるデータの送出期間にはデータの送受信を行わない無送受信期間が設けられる。図4(c)に示す通信制御ユニットによる送受信は、この無送受信期間を用いてバイト単位のデータの送出を行う。

【0033】図4(a)、(b)、(d)において、データの最後部に設けたビットはエラー検出用であり、数値制御装置1側の送受信制御手段3においてこのエラービットを用いて伝送されたデータの誤り検出を行う。

【0034】また、通信制御ユニットから送られるバイト単位のデータについては、誤り訂正符号を付加することによって、数値制御装置1側の送受信制御手段3において、誤り検出を行うとともに、誤り訂正を行うことによって正しいデータを得ることができる。

【0035】したがって、数値制御装置1側では、1本の信号ラインを通して図4(d)に示すように、複数の外部装置側からビット単位のデータ及びバイト単位のデータを受けることができる。また、数値制御装置1は、ビット単位のデータに付加されたエラービットを用いて誤り検出を行うことができる。誤りが検出された場合、数値制御装置1は、誤り訂正や外部装置に対する電流の再送要求は行わず、次の周期で送出されるデータを用いることによって、正しいデータの取得を行う。

【0036】図5に示す動作例は、エラー検出により再送要求を行う場合であり、図5(a)、(b)は、第1、2のI/Oユニットから信号ラインに送出されるデータを示し、図5(c)は通信制御ユニットから信号ラインに送出されるデータを示し、図5(d)は数値制御装置側で受信するデータを示し、また、図5(e)は数値制御装置側で送信する再送要求信号を示している。

【0037】図5(a)、(b)に示す送信データは、図4(a)、(b)と同様に、外部装置側の各I/Oユニットから一定周期で周期的に送出されるビット単位のデータであり、各データ間で干渉が生じないようにずらしてデータ送出のタイミングを設けている。

【0038】また、I/Oユニットによるデータの送出期間にはデータの送受信を行わない無送受信期間が設けられる。図5(c)に示す通信制御ユニットによる送

信は、この無送受信期間を用いてバイト単位のデータの送出(図中のNo1)、及び再送要求によるバイト単位のデータの送出(図中のNo2)を行う。

【0039】なお、図5(a)、(b)、(d)において、データの最後部に設けたビットは、図4と同様にエラー検出用である。

【0040】数値制御装置1側の送受信制御手段3は、上記エラービットを用いてビット単位のデータの誤り検出を行い、通信制御ユニットから送られるバイト単位のデータについては、誤り検出とともに、データに誤りがある場合には通信制御ユニットに対してデータの再送を要求する。図5(e)は数値制御装置の再送要求信号を表している。通信制御ユニットは、この再送要求信号を受けると再度バイト単位のデータを送出(図中のNo2)を行う。

【0041】したがって、数値制御装置1側では、1本の信号ラインを通して図5(d)に示すように、複数の外部装置側からビット単位のデータ及びバイト単位のデータを受けることができ、バイト単位のデータについては誤り検出時に再送によって正しいデータを得ることができる。

【0042】図6に示す動作例は、バイト単位のデータについてエラー検出を行わずに、データ伝送の精度を確保する場合であり、図6(a)、(b)は、第1、2のI/Oユニットから信号ラインに送出されるデータを示し、図6(c)は通信制御ユニットから信号ラインに送出されるデータを示し、図6(d)は数値制御装置側で受信するデータを示している。

【0043】図6(a)、(b)に示す送信データは、図4(a)、(b)と同様に、外部装置側の各I/Oユニットから一定周期で周期的に送出されるビット単位のデータであり、各データ間で干渉が生じないようにずらしてデータ送出のタイミングを設けている。また、I/Oユニットによるデータの送出期間にはデータの送受信を行わない無送受信期間が設けられる。図6(c)に示す通信制御ユニットによる送受信は、この無送受信期間を用いてバイト単位のデータを2回送出する2連送方式とする(図中のNo1、No2)。No1及びNo2に示すデータは同一のデータであり、エラーの有無にかかわらず当初より同一のデータを送信することによって、送信の精度を高めるものである。

【0044】なお、図6(a)、(b)、(d)において、データの最後部に設けたビットは、図4と同様にエラー検出用である。

【0045】数値制御装置1側の送受信制御手段3は、上記エラービットを用いてビット単位のデータの誤り検出を行い、通信制御ユニットから送られるバイト単位のデータについては、一方のデータ(例えばNo1のデータ)について誤り検出を行い、データに誤りがある場合には他方のデータ(例えばNo2のデータ)を採用す

る。2つのデータが同時に誤る確率は極めて低いと考えられるので、これによってデータの伝送の高い精度を得ることができる。

【0046】したがって、数値制御装置1側では、1本の信号ラインを通して図6(d)に示すように、複数の外部装置側からビット単位のデータ及びバイト単位のデータを受けることができ、バイト単位のデータについては2連送方式によって正しいデータを得ることができる。

【0047】図7に示す動作例は、送受信許容信号(フラグ)を用いて送受信動作を行う場合であり、図7(a), (b), (c)及び(d), (e), (f)は、第1, 2のI/Oユニットにかかわる制御信号, 送受信許容信号(フラグ), 及びデータ信号を示し、図7(g), (h), (i)は通信制御ユニットにかかわる制御信号, 送受信許容信号(フラグ), 及びデータ信号を示し、図7(k)は数値制御装置側で受信するデータを示している。

【0048】図7(a), (b), (c)において、第1のI/Oユニットは、送受信許容信号(フラグ)を有している間のみデータの送受信は許容される。この送受信許容信号(フラグ)は、従属接続されるI/Oユニット及び通信制御ユニットに順に送られ、該送受信許容信号(フラグ)を得たときのみ、データの送受信を行う。送受信許容信号(フラグ)の立ち上げ, 立ち下げは、例えば図7(a)に示す制御信号によって行うことができ、データの送信が終了した時点で、隣接するユニットに制御信号を送ることによって、ユニット間での送受信許容信号(フラグ)の受け渡しを行い、受け取った次のユニットはデータの送受信を行う。

【0049】図7(d), (e), (f)は第2のI/Oユニットの信号状態を示しており、図7(d)は図7(a)から送受信許容信号(フラグ)を立ち上げる制御信号を受け、図7(e)に示す送受信許容信号(フラグ)を形成し、この送受信許容信号(フラグ)に基づいて、図7(f)に示すように、第2のI/Oユニットによるデータの送受信を行う。

【0050】また、通信制御ユニットにおいても前記I/Oユニットと同様に、制御信号の授受によって形成した送受信許容信号(フラグ)に基づいてバイト単位のデータの送受信を行う。図7(g), (h), (i)は通信制御ユニットの信号状態を示しており、図7(g)は隣接するI/Oユニットから送受信許容信号(フラグ)を立ち上げる制御信号を受け、図7(h)に示す送受信許容信号(フラグ)を形成し、この送受信許容信号(フラグ)に基づいて、図7(i)に示すように、通信制御ユニットによるバイト単位のデータの送受信を行う。

【0051】従属接続された各ユニットの最後部端のユニットにおいて、データの送受信が終了すると、送受信\*

\* 許容信号(フラグ)を立ち上げる制御信号を数値制御装置1に戻し、該制御信号を受け取った送受信制御手段3は、再び該制御信号を第1のI/Oユニットに送って、データ送受信の処理を繰り返す(図7(j), (a))。

【0052】したがって、数値制御装置1側では、1本の信号ラインを通して図7(k)に示すように、複数の外部装置側からビット単位のデータ及びバイト単位のデータを受けることができる。

【0053】なお、図7の動作例では、誤り検出及び誤り訂正については、前記図5, 6と同様に行うことができるため、説明を省略する。

#### 【0054】

【発明の効果】以上説明したように、本発明の数値制御装置によれば、数値制御装置に接続する信号ライン(ケーブル)の本数を減少させ、数値制御装置を小型化することができる。

#### 【図面の簡単な説明】

【図1】本発明の数値制御装置を適用することができる一実施例の構成を示すブロック図である。

【図2】本発明の数値制御装置の概要を説明するための概略ブロック図である。

【図3】本発明のI/Oユニットの構成を接続するための概略ブロック図である。

【図4】本発明において、エラー訂正を行う場合の送受信動作を示すタイムチャートである。

【図5】本発明において、エラー検出により再送要求を行う場合の送受信動作を示すタイムチャートである。

【図6】本発明において、2連送方式の場合の送受信動作を示すタイムチャートである。

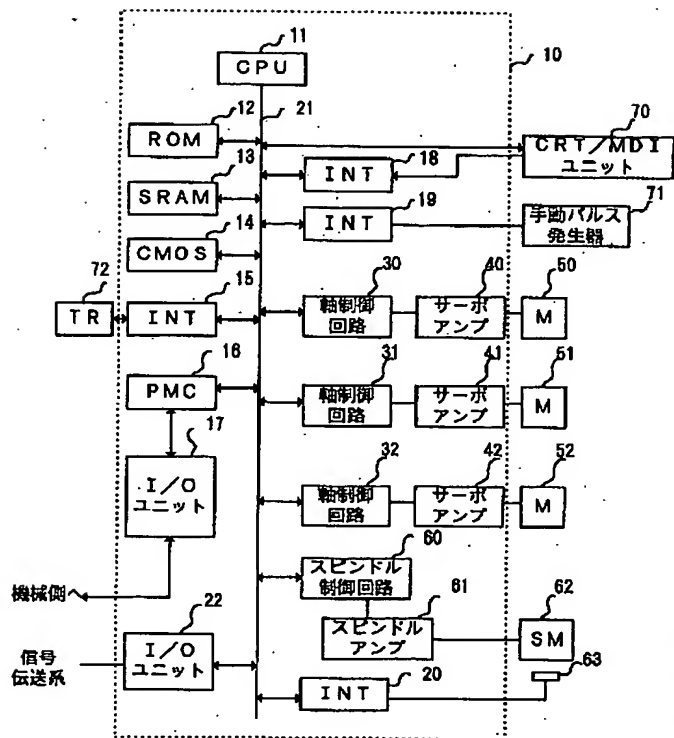
【図7】本発明において、送受信許容信号(フラグ)を用いた送受信動作を示すタイムチャートである。

【図8】従来の数値制御装置におけるデータ入力を説明するための概略ブロック図である。

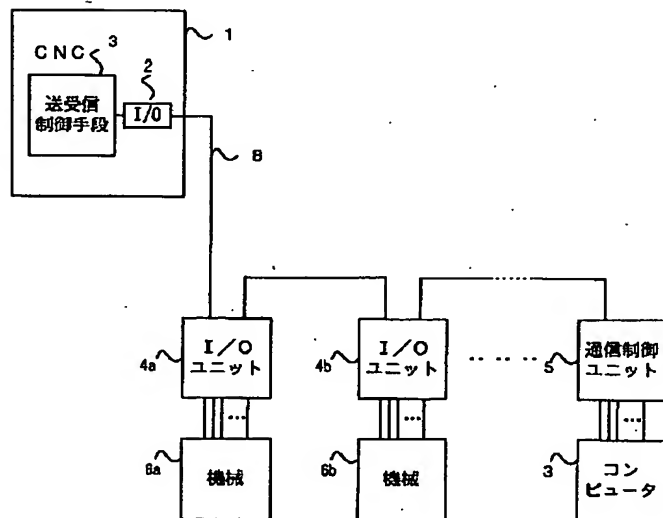
#### 【符号の説明】

- 1 数値制御装置
- 2 I/Oユニット
- 3 送受信制御手段
- 4, 4a, 4b I/Oユニット
- 4A 送受信制御部
- 4B エラーコード付加部
- 4C パラレル/シリアル変換部
- 5 通信制御ユニット
- 6, 6a, 6b 機械
- 7 コンピュータ
- 8 信号ライン
- 10 数値制御装置
- 11 CPU

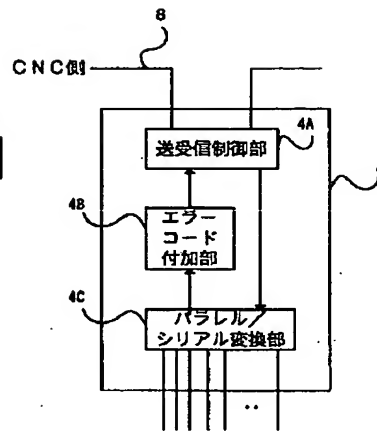
【図1】



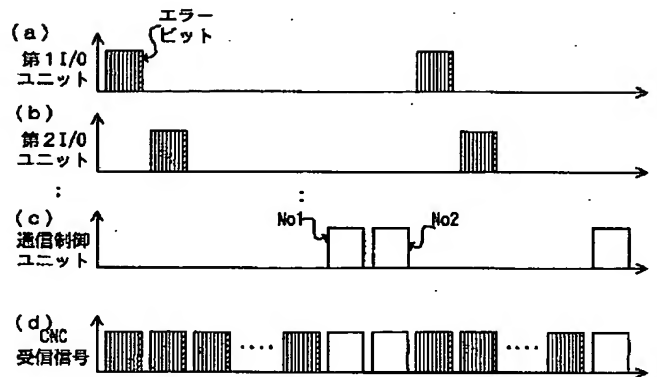
【図2】



【図3】

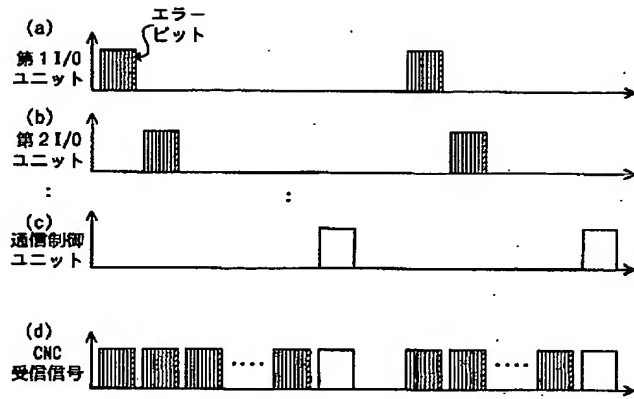


【図6】

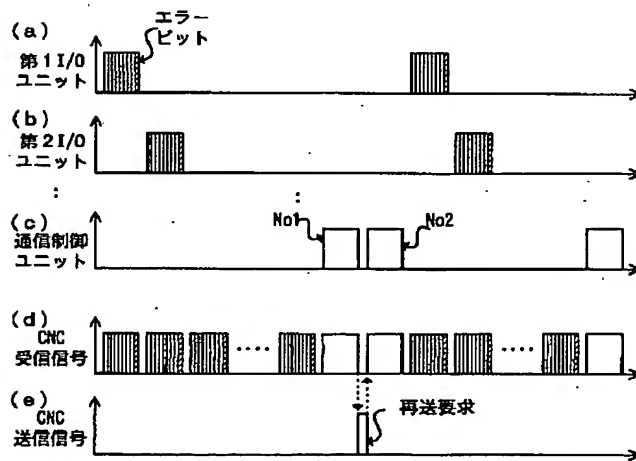




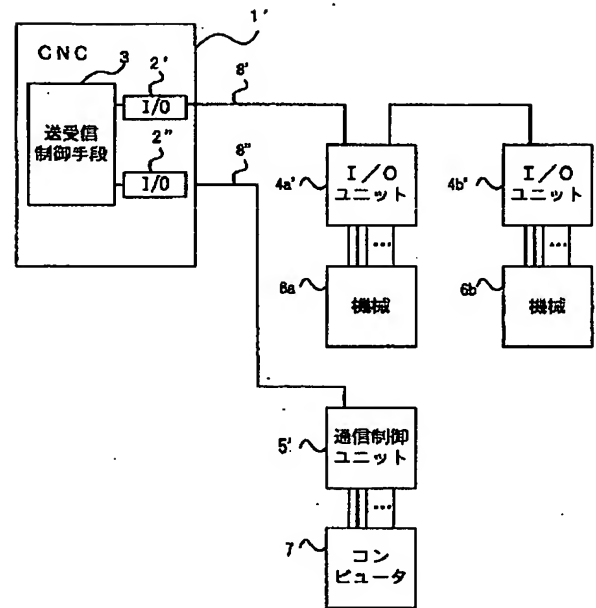
【図 4】



【図 5】



【図 8】



【図 7】

